

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-137247

(43)Date of publication of application : 16.05.2000

(51)Int.Cl. G02F 1/1365
G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 11-264762

(71)Applicant : LG PHILIPS LCD CO LTD

(22)Date of filing : 20.09.1999

(72)Inventor : LEE HYUN CHANG

(30)Priority

Priority number : 98 9838842
99 9929144

Priority date : 19.09.1998
19.07.1999

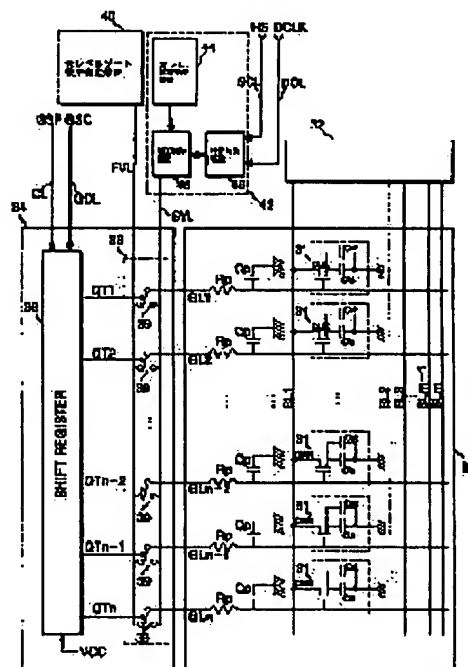
Priority country : KR
KR

(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to remove flicker and after-image and to simplify circuit constitution by providing a gate driver or the like capable of outputting one of a first voltage and a second voltage and allowing the first voltage to change before continued gate signal lines are activated.

SOLUTION: The device has a data driver 32 for driving signal lines SL1-LSm provided on a liquid crystal panel 30 and a gate driver 34 for driving gate lines GL1-GLn provided on the liquid crystal panel 32. Further, relating to this active matrix liquid crystal display device, the falling part of scanning signal is changed in a form selected from linear, exponential and step functions by supplying a high gate voltage to a level shift of the gate driver 34 in the alternating current form. Thereby, a field through voltage is sufficiently suppressed and then formation of flicker and after-image can be avoided and, at the same time, the circuit constitution is extremely simplified.



【特許請求の範囲】

【請求項 1】ゲート電極及び第 1 電極と画素電極に接続された第 2 電極を有するスイッチトランジスタをそれぞれ含むこととともにマトリックス形態で配列された多数の画素と；前記多数のトランジスタの中の一つに対応する前記第 1 電極にそれぞれ接続された多数のデータ信号ラインと；前記多数のトランジスタの中の一つに対応する前記ゲート電極に接続された多数のゲート信号ラインと；前記多数のゲート信号ラインと接続されて、第 1 及び第 2 電圧を入力して、前記ゲート信号ラインが順次的に駆動するように前記第 1 及び第 2 電圧の中のいずれかの一つを出力するゲートドライバとを具備する液晶表示装置において；前記第 1 電圧が連続されたゲート信号ラインが活性化される前に変化することを特徴とするアクティブマトリックス液晶表示装置。

【請求項 2】前記第 1 電圧は前記連続されたゲート信号ラインが活性化される前に降下することを特徴とする請求項 1 記載のアクティブマトリックス液晶表示装置。

【請求項 3】前記第 1 電圧は指数関数関数的に降下することを特徴とする請求項 1 記載のアクティブマトリックス液晶表示装置。

【請求項 4】前記第 1 電圧が線形的に降下することを特徴とする請求項 1 記載のアクティブマトリックス液晶表示装置。

【請求項 5】前記第 1 電圧が階段状に降下することを特徴とする請求項 1 記載のアクティブマトリックス液晶表示装置。

【請求項 6】前記第 1 電圧の最小値が前記第 2 電圧の最大値より高いことを特徴とする請求項 1 記載のアクティブマトリックス液晶表示装置。

【請求項 7】前記ゲートドライバは、前記ゲートラインそれぞれに供給されるスキニング信号を発生するシフトレジスタと、前記第 1 及び第 2 電圧を利用して前記シフトレジスタからのスキニング信号それぞれの電圧レベルをシフトさせるレベルシフトと、前記レベルシフトに供給される第 1 電圧を前記スキニング信号が使用不可能にされる前に変化させる電圧調節器とを具備することを特徴とする請求項 1 記載のアクティブマトリックス液晶表示装置。

【請求項 8】前記電圧調節器は、前記スキニング信号が使用不可能にされる前に前記レベルシフトに供給される前記第 1 電圧を遮断するためのスイッチと、前記スイッチによって前記スキニング信号が遮断される間前記レベルシフトに提供される放電通路とを具備することを特徴とする請求項 7 記載のアクティブマトリックス液晶表示装置。

【請求項 9】前記スイッチが前記シフトレジスタとともにゲートスキャンクロックに応答することを特徴とする請求項 8 記載のアクティブマトリックス液晶表示装置。

【請求項 10】前記スイッチを制御するためのタイミン

グ制御器とを追加で具備することを特徴とする請求項 8 記載のアクティブマトリックス液晶表示装置。

【請求項 11】前記電圧調節器が、第 1 電圧を入力するための入力端子と、前記入力端子と前記レベルシフトの入力端子の間に接続された第 1 抵抗と、前記レベルシフトの入力端子と基底電圧ラインの間に直列接続された第 2 抵抗及び第 1 制御用のスイッチと、前記第 1 抵抗と並列接続されて前記第 1 制御用のスイッチと相互補完的に駆動される第 2 制御用のスイッチとを具備することを特徴とする請求項 7 記載のアクティブマトリックス液晶表示装置。

【請求項 12】前記シフトレジスタ及び前記レベルシフトが一つの集積回路のチップで製作されたことを特徴とする請求項 7 記載のアクティブマトリックス液晶表示装置。

【請求項 13】前記シフトレジスタ、前記レベルシフト及び前記電圧調節器が一つの集積回路のチップで製作されたことを特徴とする請求項 7 記載のアクティブマトリックス液晶表示装置。

【請求項 14】ゲートライン及び信号ラインとの交差点に位置することと併せて前記ゲートライン及び前記信号ラインに接続された薄膜トランジスタを有する画素と、前記ゲートラインに接続されることと併せてシフトレジスタを有するゲートドライバとを具備する液晶表示装置を駆動する方法において、第 1 電圧と周期的に変化する第 2 電圧を入力する段階と；スイッチ素子を經由して前記ゲートラインに前記第 2 電圧を供給する段階と；前記スイッチを經由して前記ゲートラインに前記第 1 電圧を供給する段階を含めて；前記スイッチ素子が前記シフトレジスタによって制御され、併せて第 2 電圧の最小値が前記第 1 電圧の最大値より高いことを特徴とするアクティブマトリックス液晶表示装置の駆動方法。

【請求項 15】前記第 1 電圧は前記ゲートラインに接続された前記薄膜トランジスタが起動される期間の間前記ゲートラインに供給されることを特徴とする請求項 14 記載のアクティブマトリックス液晶表示装置の駆動方法。

【請求項 16】前記シフトレジスタはロジック電圧レベルに該当する駆動電圧で動作することを特徴とする請求項 14 記載のアクティブマトリックス液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリックス液晶表示装置に関し、特に液晶で構成された画素に接続されたトランジスタにゲートパルスを供給する手段を具備するアクティブマトリックス液晶表示装置に関する。

【0002】

【従来の技術】通常のアクティブマトリックス液晶表示装置は電界を利用して液晶の光透過率を調節することで

画像を表示する。このような液晶表示装置は図1に図示されたように液晶パネル(10)上の信号ライン(SL1乃至SLm)を駆動するデータドライバ(12)と、液晶パネル(10)上のゲートライン(GL1乃至GLn)を駆動するためのゲートドライバ(14)とを具備する。液晶パネル(10)には信号ライン(SL)及びゲートライン(GL)に接続される画素(11)がアクティブマトリックス形態で配列される。画素(11)それぞれは信号ライン(SL)からのデータ電圧信号(DVS)に10 応答して透過光量を調節する液晶セル(C1c)と、ゲートライン(GL)からのスキニング信号(SCS)に10 応答して信号ライン(SL)から液晶セル(C1c)に供給されるデータ電圧信号(DVS)を切り換える薄膜トランジスタ(以下“TFT”という)(CMN)で構成される。データドライバ(12)はゲートライン(GL1乃至GLn)が順次的に駆動されることによって信号ライン(SL1乃至SLm)すべてにデータ電圧信号(DVS)を供給する。一方、ゲートドライバ(14)はスキニング信号(SCS)をゲートライン(GL1乃至GLn)に順次的に供給することでゲートライン(GL1乃至GLn)が水平同期期間ずつ順次駆動される。このために、制御ライン(CL)からのゲートスタートパルス(GSP)及びゲートクロックライン(GCL)からのゲートスキニングクロック(GSL)からのゲートスキニングクロック(GSL)に15 応答するシフトレジスタ(16)と、シフトレジスタ(16)とゲートライン(GL1乃至GLn)の間に接続されたレベルシフト(18)で構成される。シフトレジスタ(16)は制御ライン(CL)からのゲートスタートパルス(GSP)をn個の出力端子(QT1乃至QTn)の中のいずれか一つの出力端子側に出力することと併せてゲートスキニングクロック(GSC)に20 応答してゲートスタートパルス(GSP)を第1出力端子(QT1)から第n出力端子(QTn)側に順次的に移動させる。レベルシフト(18)はシフトレジスタ(16)の出力信号の電圧レベルをシフトさせることでn個のスキニング信号(SCS)が発生させる。このために、レベルシフト(18)はシフトレジスタ(16)のn個の出力端子(QT1乃至QTn)とn個のゲートライン(GL)の間にそれぞれ接続されることと併せて第1及び第2電圧ライン(FVL、SVL)からの直流形態の低電位及び高電位電圧(Vgl、Vgh)の供給を受けるn個のインバータ(19)で構成される。インバータ(19)はシフトレジスタ(16)の出力端子(QT)からの論理状態によって低電位及び高電位電圧(Vgl、Vgh)の中のいずれか一つを選択的にゲートライン(GL)に供給する。これによって、n個のスキニング信号(SCS)の中のいずれ一つだけが高電位ゲート電圧(Vgh)を有する。この高電位ゲート電圧(Vgh)を有するスキニング信号(SCS)を

ゲートライン(GL)から供給されるとTFT(CMN)が起動(Turn-On)され、TFT(CMN)が起動される期間中液晶セル(C1c)はデータ電圧信号(DVS)を充電する。このように液晶セル(C1c)に充電された電圧はTFT(CMN)が起動(Turn-On)される時には下がるのでデータ電圧信号(DVS)の電圧より低くなる。液晶セルに充電された電圧とデータ電圧信号(DVS)との電位差に該当するフィードスルー電圧(Feed through Voltage, ΔV_p)が発生する。このフィードスルー電圧(ΔV_p)はTFT(CMN)のゲート端子と液晶セル(C1c)の間に存在する寄生容量によって発生することで液晶セル(C1c)の光透過量を周期的に変化させる。この結果、液晶パネル上に表示される画素でフリッカ及び残像が発生する。

【0003】このようなフィードスルー電圧(ΔV_p)を抑制するための方法として、補助容量(Cst)が図1のように液晶セル(C1c)に並列に接続する。この補助容量(Cst)はTFT(CMN)がターンオフされるときに減少する液晶セル電圧を補充することでフィードスルー電圧(ΔV_p)が数1のように抑圧される。

【数1】

$$\Delta V_p = \frac{(V_{on} - V_{off}) \cdot C_{gs}}{C_{1c} + C_{st} + C_{gs}}$$

式1において、 V_{on} はTFT(CMN)の起動時のゲートライン(GL)上の電圧であり、 V_{off} はTFT(CMN)のターンオフ時のゲートライン(GL)上の電圧であり、 C_{gs} はTFT(CMN)のゲート端子と液晶セルの間に存在する寄生容量の容量である。式1のように、フィードスルー電圧(ΔV_p)はTFT(CMN)の起動及びターンオフの時のゲートライン(GL)上の電圧差にしたがって大きくなる。このようなフィードスルー電圧(ΔV_p)を十分に抑圧するためには補助容量(Cst)の容量が大きくななければならない。これは表示領域の開口率(Aperture Ratio)が小さくなるので十分な表示コントラストが得られなくなる。これによって、補助容量(Cst)によってはフィードスルー電圧(ΔV_p)を十分に抑圧することができない。

【0004】フィードスルー電圧(ΔV_p)を抑制するための方法として、スキニング信号(SCS)の立下がり部を緩やかにするスキニング信号制御方式の液晶表示装置が提案されている。スキニング信号制御方式の液晶表示装置では、スキニング信号(SCS)の立下がり部が図2aのように線形関数、図2bでのような指数関数、または図2cでのような階段関数形態で変化する。このようなスキニング信号制御方式の液晶表示装置は特開平6-110035号及び特開平9-258174号とアメリカ特許第5,587,722号に開示

されている。しかし、これらのスキャンニング信号制御方式の液晶表示装置ではゲートドライバの回路変形またはゲートドライバと液晶パネル上の各ゲートラインとの間に位置される新しい波形変形回路が必要である。また、アメリカ特許第5,587,722号に開示されたゲートドライバはスキャンニング信号の立下がり部をステップワイズ(Stepwise)するようにする機能を有する回路が一つのゲートドライバチップ内に形成されるので回路が複雑になり更に電力消費が大きいの。

【0005】実際に、特開平6-110035号に開示されたスキャンニング信号制御方式の液晶表示装置は図3に示したようにスキャンニングドライバセル(20)とゲートライン(GL)の間に接続された積分器(22)を有する。積分器(22)はスキャンニングドライバセル(20)とゲートライン(GL)の間に接続された抵抗(R1)と、ゲートライン(GL)及び基底電圧ライン(GVL)の間に接続された容量(C1)で構成される。このように構成された積分器(22)はゲートドライバセル(20)からゲートライン(GL)側に供給されるスキャンニング信号を積分することでスキャンニング信号(SCS)の立下がり部が指数関数的に変化する。画素(11)に含まれたTFT(CMN)はゲートライン(GL)からのスキャンニング信号(SCS)の電圧が自分の臨界電圧以下に下がるときまで起動される。この時、液晶セル(C1c)に充電された電荷が寄生容量(Cgs)を経由してゲートライン(GL)側にポンピングされるので電荷量は極めて少なくなる。この結果、フィードスルー電圧(ΔV_p)が十分に抑圧される。

【0006】

【発明が解決しようとする課題】以上のようなスキャンニング信号制御方式の液晶表示装置では、フィードスルー電圧(ΔV_p)が十分に抑圧されることでフリッカ及び残像が著しく減るが、各ゲートライン毎に積分器のような波形変形回路が付加されなければならないので回路構成が大変複雑になる。これと併せて、波形変形回路によってスキャンニング信号の立下がり部までの緩やかに変化するので液晶セルの充電開始の時点が遅延される。

【0007】一方、アメリカ特許第5,587,722号は図4に図示されたように電源供給電圧(VVDD及び $VVDD \cdot R1 / (R1 + R2)$)を選択的に入力するシフトレジスタ(3)を開示する。シフトレジスタ(3)は電源供給電圧(VVDD及び $VVDD \cdot R1 / (R1 + R2)$)にตอบสนองして階段形パルスが発生する。しかし、シフトレジスタ(3)は電源供給電圧が液晶パネル上のゲートラインに供給される高レベルゲート電圧と同じなので高電圧で駆動されなければならない。即ち、シフトレジスタに含まれるインバータ(5、6、9)がTFTを起動させるための最大電圧が2.5Vである場合に大略2.5Vの駆動電圧で動作する。これによって、アメリカ特許第5,587,722号に開示され

たアクティブマトリックス液晶表示装置は大電力を消耗する。

【0008】従って、本発明の目的はフリッカ及び残像を除去することと併せて回路構成を簡素化するのに適合したアクティブマトリックス液晶表示装置及びその駆動方法を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するために、本発明によるアクティブマトリックス液晶表示装置はゲート電極及び第1電極と画素電極に接続された第2電極を有するスイッチトランジスタをそれぞれ含むこととともにマトリックス形態で配列された多数の画素と；多数のトランジスタの中の一つに対応する第1電極にそれぞれ接続される多数のデータ信号ラインと；多数のトランジスタの中の一つに対応するゲート電極に接続された多数のゲート信号ラインと；多数のゲート信号ラインと接続されて、第1及び第2電圧を入力して、そしてゲート信号ラインが順次駆動されるように第1及び第2電圧の中のいずれかの一つを出力するゲートドライバとを具備する。第1電圧が連続されたゲート信号ラインが活性化される前に変化する。

【0010】本発明によるアクティブマトリックス液晶表示装置の駆動方法は第1電圧と周期的に変化する第2電圧を入力する段階と；スイッチ素子を経由してゲートラインに第2電圧を供給する段階と；スイッチを経由してゲートラインに前記第1電圧を供給する段階を含む。スイッチ素子はシフトレジスタによって制御されて併せて第2電圧の最小値が前記第1電圧の最大値より高く設定される。

【0011】

【作用】前記の構成によって、本発明によるアクティブマトリックス液晶表示装置ではゲートドライバのレベルシフトに高電位ゲート電圧が交流形態で供給されることでスキャンニング信号の立下がり部が線形、指数または階段関数の中のいずれか一つの形態で変化する。これによって、本発明によるアクティブマトリックス液晶表示装置ではフィードスルー電圧(ΔV_p)が十分に抑圧されるようになり、更にフリッカ及び残像が発生しなくなる。併せて、本発明によるアクティブマトリックス液晶表示装置では高電位ゲート電圧の立下がり部が立上がり部より緩やかに変化することでゲートラインに供給されるスキャンニング信号の立下がり部が立上がり部より緩やかに変化する。これによって、本発明によるアクティブマトリックス液晶表示装置ではフリッカ及び残像が発生されなくなることは勿論であり応答速度が早くなる。

【0012】

【好ましい実施例の詳細な説明】以下、本発明の実施例を添付した図5乃至図26を参照して詳細に説明する。図5を参照すると、液晶パネル(30)上の信号ライン(SL1乃至SLm)を駆動するデータドライバ(3

2)と、液晶パネル(30)上のゲートライン(GL1乃至GLn)を駆動するためのゲートドライバ(34)とを具備する本発明の第1実施例によるアクティブマトリックス液晶表示装置が図示されている。液晶パネル(30)では信号ライン(SL)及びゲートライン(GL)に接続される画素(31)がアクティブマトリクス形態で配列される。画素(31)それぞれは信号ライン(SL)からのデータ電圧信号(DVS)にตอบสนองして透過光量を調節する液晶セル(Clc)と、ゲートライン(GL)からのスキニング信号(SCS)にตอบสนองして信号ライン(SL)から液晶セル(Clc)に供給されるデータ電圧信号(DVS)を切り換えるTFT(CMN)で構成される。また、画素(31)それぞれでは補助容量(Cst)が液晶セル(Clc)に並列に接続される。この補助容量(Cst)は液晶セル(Clc)に充電された電圧を緩衝する。ゲートドライバ(32)はゲートライン(GL1乃至GLn)すべてにデータ電圧信号(DVS)を供給する。ゲートドライバ(34)がスキニング信号(SCS)をゲートライン(GL1乃至GLn)に順次供給することでゲートライン(GL1乃至GLn)が水平同期期間ずつ順次使用可能にされる。このために、ゲートドライバ(34)は制御ライン(CL)からのゲートスタートパルス(GSP)及びゲートクロックライン(GCL)からのゲートスキニングクロック(GSC)にตอบสนองするシフトレジスタ(36)と、シフトレジスタ(36)とゲートライン(GL1乃至GLn)の間に接続されたレベルシフト(38)で構成される。シフトレジスタ(36)は制御ライン(CL)からのゲートスタートパルス(GSP)をn個の出力端子(QT1乃至QTn)のいずれか一つの出力端子側に出力されるようにすることと併せてゲートスキニングクロック(GSC)にตอบสนองしてゲートスタートパルス(GSP)を第1出力端子(QT1)から第n出力端子(QTn)側に順次移動させる。また、シフトレジスタ(36)はロジック電圧レベルに該当する5Vを有する集積回路駆動電圧で動作する。レベルシフトレジスタ(36)のn個の出力端子(QT1乃至QTn)とn個のゲートライン(GL)間にそれぞれ接続されることと併せて第1及び第2電圧ライン(FVL、SVL)からの低電位及び高電位ゲート電圧(Vgl、Vgh)を切り換えるためのn個の制御用スイッチ(39)とを具備する。制御用スイッチ(39)はシフトレジスタ(36)の出力端子(QT)からの論理状態によって低電位及び高電位ゲート電圧(Vgl、Vgh)の中のいずれか一つを選択的にゲートライン(GL)に供給する。これによって、n個のスキニング信号(SCS)のいずれか一つだけが高電位ゲート電圧(Vgh)を有する。この高電位ゲート電圧(Vgh)が印可されるゲートライン(GL)上のTFT(CMN)が起動(Turn-On)されるようになり、TFT(CMN)が起動さ

れる期間の間液晶セル(Clc)はデータ電圧信号(DVS)を充電する。制御用スイッチ(39)それぞれは低電位及び高電位ゲート電圧(Vgl、Vgh)を動作電圧とするバーバと対置されることもある。

【0013】また、本発明の第1実施例による液晶表示装置は第1電圧ライン(FVL)に接続された低電位ゲート電圧発生器(40)と、高電位ゲート電圧発生器(42)とを追加で具備する。低電位ゲート電圧発生器(40)は電圧レベルが一定に維持される低電位ゲート電圧(Vgl)を発生して第1電圧ライン(FVL)に接続されたn個の制御用スイッチ(39)に供給する。低電位ゲート電圧発生器(40)で発生される低電位ゲート電圧(Vgl)は一定の周期のパルス信号のような交流信号の形態を有することもある。高電位ゲート電圧発生器(42)は交流信号のように水平同期信号の周期毎に一定の形態で変化する高電位ゲート電圧(Vgh)を発生する。この高電位ゲート電圧(Vgh)は漸進的に緩やかに変化する立下がり部を有する。高電位ゲート電圧(Vgh)の立下がり部は線形関数の形態で変化するか、指数関数の形態で変化するか、または階段関数の形態で変化する。このような高電位ゲート電圧(Vgh)を発生するために、高電位ゲート電圧発生器(42)は高電位電圧(VDD)を発生する高電位電圧発生器(44)と、高電位電圧発生器(44)及び第2電圧ライン(SVL)の間に接続された電圧調節器(46)と、電圧調節器(46)のレベル調整タイミングを制御するためのタイミング制御器(48)で構成される。高電位電圧発生器(44)は一定の電圧レベルを安定されるように維持する直流形態の高電位電圧(VDD)を電圧調節器(46)に供給する。電圧調節器(46)は高電位電圧(VDD)を第2電圧ライン(SVL)に接続されたn個の制御用スイッチ(39)側に周期的に伝送することと併せて高電位電圧(VDD)が遮断される時に第2電圧ライン(SVL)に供給される電圧が上に言及された関数形態のいずれか一つの形態で低くなる。第2電圧ライン(SVL)上の電圧信号の立下がり部を緩やかに変化させるために、電圧調節器(46)は液晶パネル(30)のゲートライン(GL)に存在する寄生抵抗(Rp)及び寄生容量(Cp)を利用することもできる。タイミング制御器(48)は同期制御ライン(SCL)からの水平同期信号(HS)とデータクロックライン(DCL)からのデータクロック(DCLK)にตอบสนองして電圧調節器(46)の電圧切り換え時点と電圧調節時点を決定する。このために、タイミング制御器(48)は水平同期信号(HS)によって初期化されることと併せてデータクロック(DCLK)をカウンターするカウンター(図示しない)と、このカウンターの出力信号を論理組み合わせることで電圧調節器(46)を制御する論理組み合わせ部(図示しない)で構成されることがある。

【0014】このように、第2電圧ライン(SVL)上の高電位ゲート電圧(V_{gh})が交流形態で変化することと併せて緩やかに減少される立下がり部を有するなることで液晶パネル(30)のゲートライン(GL)に供給されるスキニング信号(SCS)の立下がり部が緩やかに変化する。画素(31)に含まれたTFT(CMN)はゲートライン(GL)からのスキニング信号

(SCS)の電圧が自分の臨界電圧以下に下がるまで起動される。この時、液晶セル(Clc)に充電された電荷がゲートライン(GL)側に流れる供給されたり信号ライン(SL)からTFT(CMN)を経由するデータ電圧信号(DVS)によって十分な電荷が液晶セル(Clc)に充電される。これによって、液晶セル(Clc)に充電された電圧は下がらなくなる。ゲートライン(GL)上のスキニング信号(SCS)の電圧がTFT(CMN)の臨界電圧以下まで下がる場合にゲートライン(GL)からゲートライン(GL)での電圧変動量が最大TFT(CMN)の臨界電圧であるので液晶セル(Clc)からゲートライン(GL)側に流れる電荷量は極めて少なくなる。この結果、フィードスルー電圧(ΔV_p)が充分に抑圧される。

【0015】図6は本発明の第2実施例によるアクティブマトリックス液晶表示装置を概略的に図示する。図6のアクティブマトリックス液晶表示装置では電圧調節器(46)が液晶パネル(30)のゲートライン(GL)の寄生抵抗(R_p)及び寄生容量(C_p)を利用して高電位ゲート電圧(V_{gh})の立下がり部とスキニング信号(SCS)の立下がり部を指数電位ゲート電圧(V_{gh})の立下がり部とスキニング信号(SCS)の立下がり部を指数関数形態で変化させる。図6の液晶表示装置では、液晶パネル(30)上のゲートライン(GL)を駆動するためのゲートドライバ(34)が含まれる。液晶パネル(30)は信号ライン(SL)及びゲートライン(GL)との接続に位置する画素(31)を含む。画素(31)は信号ライン(SL)からのデータ電圧信号(DVS)に応答して透過光量を調節する液晶セル(Clc)と、ゲートライン(GL)からのスキニング信号(SCS)に応答して信号ライン(SL)から液晶セル(Clc)に供給されるデータ電圧信号(DVS)を切り換えるTFT(CMN)で構成される。また、画素(31)では補助容量(C_{st})が液晶セル(Clc)に並列に接続される。ゲートドライバ(34)は制御ライン(CL)からのゲートスタートパルス(GSP)及びゲートクロックライン(GCL)からのゲートスキニングクロック(GSC)にตอบสนองするシフトレジスタセル(36A)と、シフトレジスタセル(36A)とゲートライン(GL)の間に接続された制御用のスイッチ(39)で構成される。シフトレジスタセル(36A)は図7に図示されたようにゲートスキニングクロック(GSC)の上昇エッジでゲートスタートパ

ルス(GSP)を出力端子(QT)側に出力する。制御用のスイッチ(39)はシフトレジスタセル(36A)の出力信号の論理状態によって低電位及び高電位ゲート電圧(V_{gl}、V_{gh})の中のいずれか一つを選択的にゲートライン(GL)に供給する。これによって、ゲートライン(GL)では低電位ゲート電圧または高電位ゲート電圧(V_{gh})を有するスキニング信号(SCS)が現れる。これを詳細に説明すると、制御用のスイッチ(39)はシフトレジスタセル(36A)の出力信号がハイ論理を有する場合に高電位ゲート電圧(V_{gh})がゲートライン(GL)に供給されるようにする一方、シフトレジスタセル(36A)の出力信号がロー論理を有する場合に低電位ゲート電圧(V_{gl})がゲートライン(GL)に供給されるようにする。図7に図示された“SCSn”は次のゲートラインに供給されるスキニング信号の波形を現す。

【0016】また、本発明の第2実施例によるアクティブマトリックス液晶表示装置は第1電圧ライン(FVL)に接続された低電位ゲート電圧発生器(40)と、高電位ゲート電圧発生器(42)とを追加で具備する。低電位ゲート電圧発生器(40)は電圧レベルが一定に維持されたり周期的に交番される低電位ゲート電圧(V_{gl})を第1電圧ライン(FVL)に接続されたn個の制御用のスイッチ(39)に供給する。高電位ゲート電圧発生器(42)は図7に図示されたところのように変化する高電位ゲート電圧(V_{gh})を発生する。この高電位ゲート電圧(V_{gh})の立下がり部は指数関数の形態で緩やかに下がる。このように高電位ゲート電圧(V_{gh})を発生するために、高電位ゲート電圧発生器(42)が高電位電圧(VDD)を発生する高電位電圧発生器(44)と、高電位電圧発生器(44)及び第2電圧ライン(SVL)の間に接続された電圧調節器(46)で構成される。高電位電圧発生器(44)は一定の電圧レベルを安定に維持する直流形態の高電位電圧(VDD)を電圧調節器(46)に供給する。電圧調節器(46)は第2電圧ライン(SVL)を高電位電圧発生器(44)と基底電圧ライン(GVL)に交差的に接続することで第2電圧ライン(SVL)上に図7に示したような高電位ゲート電圧(V_{gh})を発生させる。このために、電圧調節器(46)はゲートスキニングクロック(GSC)にตอบสนองする2接点制御用スイッチ(50)を具備する。2接点制御用スイッチ(50)はゲートスキニングクロック(GSC)のハイ論理区間では第1電圧ライン(SVL)を高電位電圧発生器(44)に接続させることで第2電圧ライン(SVL)及びゲートライン(GL)上に高電位電圧(VDD)が現れるようにする。ゲートスキニングクロック(GSC)がハイ論理からロー論理で遷移する場合、2接点制御用スイッチ(50)は第2電圧ライン(SVL)を基底電圧ライン(GVL)に接続させることで第2電圧ライン(SV

L)及びゲートライン(GL)上の電圧を高電位電圧レベル(VDD)から指数関数的に降下させる。この時、第2電圧ライン(SVL)及びゲートライン(GL)上の電圧が寄生抵抗(Rp)及び寄生容量(Cp)の時定数によって基底電圧ライン(GVL)側に放電されることで高電位ゲート電圧(Vgh)とスキニング信号(SCS)の立下り部は図7に示したように指数関数の形態で緩やかに変化する。これによって、画素(31)に含まれたTFT(CMN)はゲートライン(GL)からのスキニング信号(SCS)の電圧が臨界電圧の以下に下がるまで起動オン状態が維持される。この時、液晶セル(Clc)に充電された電荷がゲートライン(GL)側に流れるが、信号ライン(SL)からTFT(CMN)を経由するデータ電圧信号(DVS)によって十分な電荷が液晶セル(Clc)に充電される。この結果、液晶セル(Clc)に充電された電圧は下がらなくなる。ゲートライン(GL)上のスキニング信号(SCS)の電圧がTFT(CMN)の臨界電圧以下に下がる場合にゲートライン(GL)での電圧変動量が最大TFT(CMN)の臨界電圧であるので液晶セル(Clc)からゲートライン(GL)側に流れる電荷量は極めて少なくなる。この結果、フィードスルー電圧(ΔV_p)が十分に抑圧される。更に、画素(31)によって表示される画点ではフリッカ及び残像が発生しなくなる。

【0017】図8は本発明の第3実施例によるアクティブマトリックス液晶表示装置を概略的に図示する。図8のアクティブマトリックス液晶表示装置は電圧調節器(46)が2接点制御用のスイッチ(50)と基底電圧ライン(GVL)の間に抵抗(R1)及び容量(C1)の並列回路とをさらに具備することを除いては図6の液晶表示装置と同一の回路構成を有する。抵抗(R1)及び容量(C1)は第2電圧ライン(SVL)及びゲートライン(GL)上の電圧が基底電圧ライン(GVL)側に放電される場合に時定数を増加させる。これによって、第2電圧ライン(SVL)上の高電位ゲート電圧(Vgh)の立下り部は図9のように立上がり部よりもっと緩やかになる。これと併せて、ゲートライン(GL)上のスキニング信号(SCS)の立下り部も図9に示すように立上がり部よりもっと緩やかに変化する。抵抗(R1)と容量(C1)は必要に応じていずれか一つだけを使用してもよい。抵抗(R1)と容量(C1)は必要に応じていずれか一つだけを使用してもよい。このように高電位ゲート電圧(Vgh)及びスキニング信号(SCS)の立下り部を立上がり部よりさらに緩やかに調節することで液晶表示装置はフィードスルー電圧(ΔV_p)を十分に抑制することができることと併せて応答速度が速くなる。

【0018】図10は第4実施例によるアクティブマトリックス液晶表示装置を概略的に図示する。図10のアクティブマトリックス液晶表示装置は電圧調節器(46)が2接点制御用のスイッチ(50)代わりに高電位電圧発生器(44)及び第2電圧ライン(SVL)の間に接続された1接点制御用のスイッチ(52)と、第2電圧ライン(SVL)及び基底電圧ライン(GVL)の間に接続されたTFT(MN)とを具備することを除いては図6の液晶表示装置と同一の回路構成を有する。1接点制御用のスイッチ(52)とTFT(MN)はゲートスキニングクロック(GSC)の論理状態によって相互補完的に起動される。これを詳細に説明すると、1接点制御用のスイッチ(52)はゲートスキニングクロック(GSC)がハイ論理を維持する期間起動され、一方にTFT(MN)はTFT(MN)はゲートスキニングクロック(GSC)がハイ論理を維持する期間起動される。TFT(MN)はゲートスキニングクロック(GSC)によって第2電圧ライン(SVL)及びゲートライン(GL)に放電通路を提供することで高電位ゲート電圧(Vgh)及びスキニング信号(GL)の立下り部が指数関数的に変化する。また、TFT(MN)は起動時に現れる抵抗成分及び容量成分によって第2電圧ライン(SVL)及びゲートライン(GL)上の電圧が基底電圧ライン(GVL)側に放電される場合に時定数を増加させる。これによって、基底電圧ライン(GVL)上の高電位ゲート電圧(Vgh)立下り部は図9のように立上がり部より緩やかになる。これと併せて、ゲートライン(GL)上のスキニング信号(SCS)の立下り部も図9のように立上がり部よりもっと緩やかに変化する。このように高電位ゲート電圧(Vgh)及びスキニング信号(SCS)の立下り部が立上がり部よりもっと緩やかに調節されることで液晶表示装置はフィードスルー電圧(ΔV_p)を十分に抑制することができることと併せて応答速度が速くなる。TFT(MN)は抵抗成分の抵抗値及び容量成分の容量が適切に設定されるように適切なチャンネル幅を有する。更に、TFT(MN)と基底電圧ライン(GVL)の間には時定数をもう少し増加させるための抵抗及び/または容量を付加することもできる。

【0019】図11は本発明の第5実施例によるアクティブマトリックス液晶表示装置を概略的に図示する。図11のアクティブマトリックス液晶表示装置はTFT(MN)において抵抗(R2)が第2電圧ライン(SVL)及び基底電圧ライン(GVL)の間に接続されたことを除いては図10の液晶表示装置と同一の回路構成を有する。抵抗(R2)は1接点制御用のスイッチ(52)がゲートスキニングクロック(GSC)のハイ論理状態によって起動される場合に第2電圧ライン(SVL)及びゲートライン(GL)に充電される電圧の漏泄を防止する。これとは異なり、1接点制御用のスイッチ(52)が起動される場合、抵抗(R2)は第2電圧ライン(SVL)及びゲートライン(GL)上の電圧が基

底電圧ライン (GVL) 側に放電される時間が長くなることで高電位ゲート電圧 (Vgh) 及びスキニング信号 (SCS) の立下がり部が指数関数の形態で変化させる。換言すれば、抵抗 (R2) は第1接点制御用スイッチ (52) が起動される場合に第2電圧ライン (SVL) 及びゲートライン (GL) 上の高電位ゲート電圧 (Vgh) の立下がり部は図9のように立上がり部よりもっと緩やかになる。これと併せて、ゲートライン (GL) 上のスキニング信号 (SCS) の立下がり部も図9のように立上がり部よりもっと緩やかに変化する。このように高電位ゲート電圧 (Vgh) 及びスキニング信号 (SCS) の立下がり部が立上がり部よりもっと緩やかに調節されることで液晶表示装置はフィードスルー電圧 (ΔV_p) を十分に抑制することができることと併せて応答速度が速くなる。

【0020】また、図6、図8、図10及び図11に図示された第2乃至第5実施例の液晶表示装置ではゲートスキニングクロック (GSC) によって電圧調節器 (46) の切り換え動作が制御されることで図5でのタイミング制御器 (48) が除去される。この結果、図6、図8、図10及び図11に図示された第2乃至第5実施例のアクティブマトリックス液晶表示装置では回路構成が益々簡素化される。これと併せて、図6、図8、図10及び図11に図示された第2乃至第5実施例の液晶表示装置ではゲートスキニングクロック (GSC) の衝撃係数が50%であることで表現されているが液晶セルに電圧が十分に充電されることができる範囲内で適切に調節されることができる。

【0021】図12は本発明の第1乃至第5実施例によるアクティブマトリックス液晶表示装置のゲートライン (GL) 及び信号ライン (SL) 上に現れるスキニング信号 (SCS) とデータ電圧信号 (DVS) を図示する。図12に図示されたスキニング信号 (SCS) は下降エッジでデータ電圧信号 (DVS) にほとんど近接する電圧レベルを有する。これによって、液晶表示装置はフィードスルー電圧 (ΔV_p) を十分に抑制することができることと併せて応答速度が速くなる。

【0022】図13は本発明の第6実施例によるアクティブマトリックス液晶表示装置を概略的に図示する。図13のアクティブマトリックス液晶表示装置は第1電圧ライン (FVL) に接続された低電位ゲート電圧発生器 (40) と、高電位ゲート電圧発生器 (42) とを具備する。低電位ゲート電圧発生器 (40) は電圧レベルが一定に維持される低電位ゲート電圧 (Vgl) を第1電圧ライン (FVL) に接続されたn個の制御用スイッチ (39) に供給する。高電位ゲート電圧発生器 (42) は図14に図示されたように第1及び第2高電位電圧 (VDD1、VDD2) を交差的に有するパルス状の高電位ゲート電圧 (Vgh) を発生する。このような高電位ゲート電圧 (Vgh) を発生するために、高電位ゲート

ト電圧発生器 (42) は第1及び第2高電位電圧 (VDD1、VDD2) を発生する高電位電圧発生器 (54) と、高電位電圧発生器 (54) 及び第2電圧ライン (SVL) の間に接続された電圧調節器 (56) で構成される。高電位電圧発生器 (54) で発生される第1高電位電圧 (VDD1) は一定の電圧レベルを安定に維持して、第2高電位電圧 (VDD2) は低電位ゲート電圧 (Vgl) より高く第1高電位電圧 (VDD1) より低い電圧レベルを安定に維持する。これら第1及び第2高電位電圧 (VDD1、VDD2) を電圧調節器 (56) に供給する。電圧調節器 (56) は高電位発生器 (54) からの第1及び第2高電位電圧 (VDD1、VDD2) を第2電圧ライン (SVL) 側に交差的に供給することで第2電圧ライン (SVL) 上に図14に示したような高電位ゲート電圧 (Vgh) を発生させる。このために、電圧調節器 (56) はゲートスキニングクロック (GSC) に応答する第2制御用スイッチ (58) を具備する。第2制御用スイッチ (58) はゲートスキニングクロック (GSC) のハイ論理区間で第1高電位電圧 (VDD1) を第2電圧ライン (SVL) に供給することで第2電圧ライン (SVL) 及びゲートライン (GL) 上に第1高電位電圧 (VDD1) が現れるようにする。これとは異なり、ゲートスキニングクロック (GSC) がロー論理を有する場合、第2制御用スイッチ (58) は第2高電位電圧 (VDD2) を第2電圧ライン (SVL) に供給することで第2電圧ライン (SVL) 及びゲートライン (GL) 上に第2高電位電圧 (VDD2) が現れるようにする。この結果、高電位ゲート電圧 (Vgh) はゲートスキニングクロック (GSC) の周期ごとに第1高電位電圧 (VDD1) と第2高電位電圧 (VDD2) を順次有する。

【0023】図13のアクティブマトリックス液晶表示装置では液晶パネル (30) 上のゲートライン (GL) を駆動するためのゲートドライバ (34) が含まれる。液晶パネル (30) は信号ライン (SL) 及びゲートライン (GL) とに接続される画素 (31) を含む。画素 (31) は信号ライン (SL) からのデータ電圧信号 (DVS) に応答して透過光量を調節する液晶セル (C1c) と、ゲートライン (GL) からのスキニング信号 (SCS) に応答して信号ライン (SL) から液晶セル (C1c) に供給されるデータ電圧信号 (DVS) を切り換えるTFT (CMN) で構成される。また、画素 (31) には補助容量 (Cst) が液晶セル (C1c) に並列に接続される。ゲートドライバ (34) は制御ライン (CL) からのゲートスタートパルス (GSP) 及びゲートクロックライン (GCL) からのゲートスキニングクロック (GSC) に応答するシフトレジスタセル (36A) と、シフトレジスタセル (36A) とゲートライン (GL) の間に接続された第1制御用スイッチ (39) で構成される。シフトレジスタセル (36

A)は図14に図示されたようにゲートスキニングクロック(GSC)の上昇エッジでゲートスタートパルス(GSP)を出力端子(QT)側に出力する。第1制御用スイッチ(39)はシフトレジスタセル(36A)の出力信号の論理状態によって低電位及び高電位ゲート電圧(Vg1、Vgh)の中いづれか一つを選択的にゲートライン(GL)に供給する。これによって、ゲートライン(GL)には低電位ゲート電圧(Vg1)または高電位ゲート電圧(Vgh)を有するスキニング信号(SCS)が現れる。これらを詳細に説明すると、制御用のスイッチ(39)はシフトレジスタセル(36A)の出力信号がハイ論理を有する場合に第1及び第2高電位電圧(VDD1、VDD2)を順次有する高電位ゲート電圧(Vgh)がゲートライン(GL)に供給される一方、シフトレジスタセル(36A)の出力信号がロー論理を有する場合には低電位ゲート電圧(Vg1)がゲートライン(GL)に供給される。この結果、ゲートライン(GL)には立下がり部が階段形態に変化する図14でのようなスキニング信号(SCS)が現れる。図14に図示された“SCSn”は次のゲートラインに供給されるスキニング信号の波形を現す。

【0024】このようにスキニング信号(SCS)の立下がり部が段階的に変化するために、画素(31)に含まれたTFT(CMN)はゲートライン(GL)からのスキニング信号(SCS)の電圧が臨界電圧以下に下がるまで起動オン状態を維持する。この時、液晶セル(C1c)に充電された電荷がゲートライン(GL)側に流れると同時に、信号ライン(SL)からTFT(CMN)を経由するデータ電圧信号(DVS)によって十分な電荷が液晶セル(C1c)に充電される。この結果、液晶セル(C1c)に充電された電圧は下がらなくなる。ゲートライン(GL)上のスキニング信号(SCS)の電圧がTFT(CMN)の臨界電圧以下に下がる場合にゲートライン(GL)での電圧変動量が最大TFT(CMN)の臨界電圧であるので液晶セル(C1c)からゲートライン(GL)側に流れる電荷は極めて少なくなる。この結果、フィードスルー電圧(ΔV_p)は十分に抑圧される。更に、画素(31)によって表示される画点ではフリッカ及び残像が発生しなくなる。

【0025】この場合、図5に図示された液晶パネル(30)のゲートライン(GL)上の寄生抵抗(Rp)及び寄生容量(Cp)は高電位ゲート電圧(Vgh)に影響を与えなくなる。このような背景から、寄生抵抗(Rp)及び寄生容量(Cp)が図13に図示されなかったことが理解される。図15は本発明の第6実施例によるアクティブマトリックス液晶表示装置のゲートライン(GL)及び信号ライン(SL)上に現れるスキニング信号(SCS)とデータ電圧信号(DVS)を図示する。図15に図示されたスキニング信号(SCS)は下降エッジが階段状に変化することでデータ電圧信号

(DVS)にほとんど近接する電圧レベルを有する。これによって、液晶表示装置はフィードスルー電圧(ΔV_p)を十分に抑圧することができ、併せて応答速度が速くなる。

【0026】図16は図13に図示された電圧調節器(56)の他の実施例を詳細に図示する。図16の電圧調節器(56)は抵抗(R3)を経由して反転端子(−)側にゲートスキニングクロック(GSC)を入力受ける比較器(60)と、この比較器(60)の出力信号に相互補完的に応答する第1及び第2トランジスタ(Q1、Q2)とを具備する。比較器(60)は図17に図示したようなゲートスキニングクロック(GSC)と可変抵抗(VR)からの基準電圧(Vref)を比較して、その結果によって論理状態が変化する比較信号を発生する。これを詳細に説明すると、比較器(60)はゲートスキニングクロック(GSC)の電圧が基準電圧(Vref)より高い場合にロー論理の比較信号を第1及び第2トランジスタ(Q1、Q2)のベース端子に供給する一方、ゲートスキニングクロック(GSC)の電圧が基準電圧(Vref)より低い場合にはハイ論理の比較信号を第1及び第2トランジスタ(Q1、Q2)のベース端子に供給する。この時、可変抵抗(VR)は図13に図示された第1または第2高電位電圧(VDD1またはVDD2)と基底電圧(GND)間の電位差を分圧してその分圧された電圧を基準電圧(Vref)として比較器(60)の非反転端子(+)に供給する。第1トランジスタ(Q1)は比較器(60)でハイ論理の比較信号が発生されると、図13の高電位電圧発生器(54)からの第1高電位電圧(VDD1)を第2電圧ライン(SVL)に供給する。一方に第2トランジスタ(Q2)は比較器(60)でロー論理の比較信号が発生されたときに図13の高電位電圧発生器(54)からの第2高電位電圧(VDD2)を第2電圧ライン(SVL)に供給する。この結果、第2電圧ライン(SVL)ではゲートスキニングクロック(GSC)とは相反する形態で変化する図17に図示した高電位ゲート電圧(Vgh)が発生する。この高電位ゲート電圧(Vgh)はゲートスキニングクロック(GSC)の論理状態によって第1及び第2高電位電圧(VDD1、VDD2)を交番される。また、この高電位ゲート電圧(Vgh)は図13でのシフトレジスタセル(36A)がゲートスキニングクロック(GSC)の立下がり部に応答する場合に使用される。更に、高電位ゲート電圧(Vgh)は第1及び第2トランジスタ(Q1、Q2)の位置が変えられた場合または基準電圧(Vref)及びゲートスキニングクロック(GSC)が比較器(60)の反転及び非反転端子(−、+)にそれぞれ供給される場合にゲートスキニングクロック(GSC)と同一な形態で変化する。一方、第2電圧ライン(SVL)と比較器(60)の反転端子(−)の間に接続された抵

抗(R4)は第2電圧ライン(SVL)上の電圧を比較器(60)の反転端子(一)側に帰還させることで高電位ゲート電圧(Vgh)がゲートスキニングクロック(GSC)に対して素早く応答するようにする。

【0027】図18を参照すると、液晶パネル(30)上の信号ライン(SL1乃至SLm)を駆動するデータドライバ(32)と、液晶パネル(30)上のゲートライン(GL1乃至GLn)を駆動するためのゲートドライバ(34)とを具備する第7本発明の実施例によるアクティブマトリックス液晶表示装置が図示されている。液晶パネル(30)には信号ライン(SL)及びゲートライン(GL)に接続される画素(31)がアクティブマトリックス形態で配列される。画素(31)それぞれは信号ライン(SL)からのデータ電圧信号(DVS)に10 応答して透過光量を調節する液晶セル(Clc)と、ゲートライン(GL)からのスキニング信号(SCS)に10 応答して信号ライン(SL)から液晶セル(Clc)に供給されるデータ電圧信号(DVS)を切り換えるTFT(CMN)で構成される。また、画素(31)それぞれには補助容量(Cst)が液晶セル(Clc)に20 並列に接続される。この補助容量(Cst)は液晶セル(Clc)に充電された電圧を緩衝する。データドライバ(32)はゲートライン(GL1乃至GLn)が順次駆動されることによって信号ライン(SL1乃至SLm)すべてにデータ電圧信号(DVS)を供給する。ゲートドライバ(34)がスキニング信号(SCS)をゲートライン(GL1乃至GLm)に順次供給することでゲートライン(GL1乃至GLn)が水平同期期間ずつ順次使用可能にされる。このために、ゲートドライバ(34)は制御ライン(CL)からのゲートスタートパルス(GSP)及びゲートクロックライン(GCL)からのゲートスキニングクロック(GSC)に20 応答するシフトレジスタ(36)と、シフトレジスタ(36)とゲートライン(GL1乃至GLn)の間に接続されたレベルシフト(62)で構成される。シフトレジスタ(36)は制御ライン(CL)からのゲートスタートパルス(GSP)をn個の出力端子(QT1乃至QTn)の内のいずれか一つの出力端子側に出力することと併せてゲートスキニングクロック(GSC)に20 応答してゲートスタートパルス(GSP)を第1出力端子(QT1)から第n出力端子(QTn)側に順次移動させる。また、シフトレジスタ(36)はロジック電圧レベルに該当する5Vを有する集積回路駆動電圧で動作する。レベルシフト(62)はシフトレジスタ(36)の出力信号の電圧レベルをシフトさせることでn個のスキニング信号(SCS)を発生させる。このために、レベルシフト(62)は第1電圧ライン(FVL)に共通に接続され、併せてゲートライン(GL1乃至GLn)それぞれに接続されたn個のPMOSTランジスタ(MP1乃至MPn)と、第2電圧ライン(SVL)に共通

的に接続されることと併せてゲートライン(GL1乃至GLn)にそれぞれ接続されたn個のNMOSTランジスタ(MN1乃至MNn)とを具備する。

【0028】第1電圧ライン(FVL)には低電位ゲート電圧発生器(40)で発生された低電位ゲート電圧(Vgl)が供給される。第1乃至第nPMOSTランジスタ(MP1乃至MPn)はシフトレジスタ(36)のn個の出力端子(QT1乃至QTn)それぞれに接続されたゲート電極を有する。同じく、第1乃至第nNMOSTランジスタ(MN1乃至MNn)もシフトレジスタ(36)のn個の出力端子(QT1乃至QTn)それぞれ接続されたゲート電極を有する。第1乃至第nPMOSTランジスタ(MP1乃至MPn)それぞれはシフトレジスタ(36)の出力端子上の信号に10 応答して第1乃至第nNMOSTランジスタ(MN1乃至MNn)それぞれと相互補完的に起動される。シフトレジスタ(36)の出力端子(QT1乃至QTn)からの信号にそれぞれ10 応答する第1乃至第nNMOSTランジスタ(MN1乃至MNn)は水平同期期間ずつ順次起動される。これによって、第1乃至第nPMOSTランジスタ(MP1乃至MPn)は水平同期期間ずつ順次起動される。この結果、第2電圧ライン(SVL)は第1乃至第nゲートライン(GL1乃至GLn)に水平同期期間ずつ順次10 接続される。また、レベルシフト(62)は第2電圧ライン(SVL)と高電位電圧発生器(44)の間に並列接続されたn個のPMOSTランジスタ(MPn+1乃至MP2n)と、第2電圧ライン(SVL)と接地ライン(GNDL)の間に接続された放電抵抗(Rd)とをさらに具備する。これらn個のPMOSTランジスタ(MPn+1乃至MP2n)は使用可能化ライン(EOL)上の図19に図示されたゲート出力使用可能化信号(GOD)に共通に10 応答して毎水平同期周期の始点から水平同期周期の半分に該当する期間ずつ同時に起動される。これらn個のPMOSTランジスタ(MPn+1乃至MP2n)が起動されたとき、高電位電圧発生器(44)で発生された高電位電圧(VDD)はn個のPMOSTランジスタ(MPn+1乃至MP2n)の並列回路及び第2電圧ライン(SVL)を経由してn個のゲートライン(GL1乃至GLn)中のいずれか一つに供給される。一方、n個のPMOSTランジスタ(MPn+1乃至MP2n)が起動された時にn個のゲートライン(GL1乃至GLn)中のいずれか一つのライン上の充電された電圧が第2電圧ライン(SVL)及び放電抵抗(Rd)を経由して接地ライン(GNDL)側に放電される。この時、ゲートライン(GL)上の電圧の放電速度(即ち、時定数)は放電抵抗(Rd)、ゲートライン(GL)上の寄生容量(Cc)及び寄生抵抗(Rc)によって決定される。これによって、第2電圧ライン(SVL)では図19に図示されたようにゲートスキニングクロック(GSC)のハイ論理区間(即ち、水平同期

信号の前半周期)では高電位電圧レベル(VDD)を維持してゲートスキニングクロック(GSC)のロー論理区間では高電位電圧レベル(VDD)から指数関数的に徐々に減少する高電位ゲート電圧(Vgh)が発生する。

【0029】第1乃至第nゲートライン(GL1乃至GLn)それぞれは水平同期信号の周期づつ順次に起動されるNMOSトランジスタ(GL1乃至GLn)それぞれは、水平同期信号の周期づつ順次に起動されるNMOSトランジスタ(GL1乃至GLn)それぞれを経由して第2電圧ライン(SVL)上の高電位ゲート電圧(Vgh)を水平同期信号の一周期の間入力し、併せて残りの期間の間はPMOSトランジスタ(MP1乃至MPn)を経由して第1電圧ライン(FVL)上の低電位ゲート電圧(Vgl)を入力する。この結果、第1乃至第nゲートライン(GL1乃至GLn)は図19に図示されたスキニング信号(SCS1乃至SCSn)の供給を受ける。スキニング信号(SCS)はゲートスキニングクロック(GSC)のハイ論理区間(即ち、水平同期信号の前半周期)では高電位電圧を維持して、ゲートスキニングクロック(GSC)のロー論理区間(水平同期信号の後半周期)では高電位電圧から液晶パネル(30)上のTFT(CMN)の臨界電圧(Vth)に近接した電圧まで指数関数的に減少する。また、スキニング信号(SCS)は次の水平同期周期の始点でTFT(CMN)の臨界電圧より低い電圧(即ち、低電位ゲート電圧(Vgl))に急激に下がる。このように、液晶パネル(30)のゲートライン(GL)に供給されるスキニング信号(SCS)の立下がり部が緩やかに変化することで、画素(31)に含まれたTFT(CMN)はゲートライン(GL)からのスキニング信号(SCS)の電圧が臨界電圧以下に下がるまでに起動される。この時、液晶セル(Clc)に充電された電荷がゲートライン(GL)側に流れるが、信号ライン(SL)からTFT(CMN)を経由するデータ電圧信号(DVS)によって十分な電荷が液晶セル(Clc)に充電される。これによって、液晶セル(Clc)に充電された電圧は下がらない。ゲートライン(GL)上のスキニング信号(SCS)の電圧がTFT(CMN)の臨界電圧以下に下がる場合にゲートライン(GL)での電圧変動量が最大TFT(CMN)の臨界電圧であるので液晶セル(Clc)からゲートライン(GL)側に流れる電荷は極めて少なくなる。この結果、フィードスルー電圧(ΔV_p)が充分に抑圧される。また、前記したn個のPMOSトランジスタ(MPn+1乃至MP2n)は高電位電圧発生器(44)から第2電圧ライン(SVL)側に供給される高電位電圧(VDD)の減殺量を最小化するために高電位電圧発生器(44)と第2電圧ライン(SVL)の間の抵抗値を低くさせられる。従って、n個のPMOSトランジスタ(MPn+1乃至

MP2n)の中n-1個のPMOSトランジスタは除去することができる。この場合、ゲートドライバ(34)の回路構成が簡素化される。更に、前記ゲートスタートパルス(GSP)、ゲートスキニングクロック(GSC)及びゲート使用可能化信号(GOE)は図示しないタイミング制御器で発生される。

【0030】図20は図18に図示されたところによるアクティブマトリックス液晶表示装置のちいずれか一つのゲートラインを駆動するためのラインスキニング回路を図示する。図20に図示したラインスキニング回路は液晶パネル(30)上のゲートライン(GL)を駆動するためのゲートドライバ(34)を含む。液晶パネル(30)は信号ライン(SL)及びゲートライン(GL)とに接続される画素(31)を含む。画素(31)は信号ライン(SL)からのデータ電圧信号(DVS)にตอบสนองして透過光量を調節する液晶セル(Clc)と、ゲートライン(GL)からのスキニング信号(SCS)にตอบสนองして信号ライン(SL)から液晶セル(Clc)に供給されるデータ電圧信号(DVS)を切り換えるTFT(CMN)で構成される。また、画素(31)には補助容量(Cst)が液晶セル(Clc)に並列に接続される。ゲートドライバ(34)は制御ライン(CL)からのゲートスタートパルス(GSP)及びゲートクロックライン(GCL)からのゲートスキニングクロック(GSC)にตอบสนองするシフトレジスタセル(36A)と、シフトレジスタセル(36A)とゲートライン(GL)の間に接続されたレベルシフトセル(62A)で構成される。シフトレジスタセル(36A)は図19に示すゲートスキニングクロック(GSC)の上昇エッジで図19に示すゲートスタートパルス(GSP)を出力端子(QT)側に出力させる。レベルシフトセル(62A)はシフトレジスタセル(36A)の出力信号の電圧レベルをシフトさせることでスキニング信号(SCS)を発生する。このために、レベルシフトセル(62A)は第1電圧ライン(FVL)と液晶パネル(30)上のゲートライン(GL)の間に接続された第1PMOSトランジスタ(MP1)と、第2電圧ライン(SVL)とゲートライン(GL)の間に接続された第1NMOSトランジスタ(MN1)とを具備する。

【0031】第1電圧ライン(FVL)には低電位ゲート電圧発生器(40)で発生された低電位ゲート電圧(Vgl)が供給される。第1PMOSトランジスタ(MP1)はシフトレジスタセル(36A)の出力端子(QT)に接続されたゲート電極を有する。同じく、第1NMOSトランジスタ(MN1)はシフトレジスタセル(36A)の出力端子(QT)に接続されたゲート電極を有する。第1PMOSトランジスタ(MP1)はシフトレジスタセル(36A)の出力端子上の信号にตอบสนองして第1NMOSトランジスタ(MN1)と相互補完的に起動される。シフトレジスタセル(36A)の出力端

子(QT)からの信号にそれぞれ応答する第1NMOSトランジスタ(MN1)は任意の水平同期期間に起動される一方、第1PMOSTランジスタ(MP1)は任意の水平同期期間を除いては残りフレーム期間に起動される。この結果、第2電圧ライン(SVL)は任意の水平同期期間にだけゲートライン(GL)に接続されるようになり、第1電圧ライン(FVL)は任意の水平同期期間を除いた残りのフレーム期間にゲートライン(GL)に接続される。

【0032】また、レベルシフトセル(62A)は高電位電圧発生器(44)と第2電圧ライン(SVL)の間に接続された第2PMOSTランジスタ(MP2)と、第2電圧ライン(SVL)と接地ライン(GNDL)の間に接続された放電抵抗(Rd)とをさらに具備する。第2PMOSTランジスタ(MP2)は使用可能化ライン(EOL)からの図18に図示されたゲート出力使用可能化信号(GOE)に応答して毎水平同期周期の始点から水平同期周期の半分に該当する期間に起動される。この第2PMOSTランジスタ(MP2)が起動された時、高電位電圧発生器(44)は高電位電圧(VDD)を第2電圧ライン(SVL)を經由してゲートライン(GL)に供給される。一方、第2PMOSTランジスタ(MP2)が起動された時にゲートライン(GL)上に充電された電圧が第2電圧ライン(SVL)及び放電抵抗(Rd)を經由して接地ライン(GNDL)側に放電される。この時、ゲートライン(GL)上の電圧の放電速度(即ち、時定数)は放電抵抗(Rd)、ゲートライン(GL)上の寄生容量(Cp)及び寄生抵抗(Rp)によって決定される。これによって、第2電圧ライン(SVL)には図19に図示されたゲートスキニングクロック(GSC)のハイ論理区間(即ち、水平同期信号の前半周期)では高電位電圧レベル(VDD)を維持してゲートスキニングクロック(GSC)のロー論理区間では高電位電圧レベル(VDD)から指数関数的に徐々に減少する高電位ゲート電圧(Vgh)が現れる。ゲートライン(GL)は任意の水平同期信号の周期の間起動される第1NMOSTランジスタ(MN1)を經由して第2電圧ライン(SVL)上の高電位ゲート電圧(Vgh)を水平同期信号の周期を除いた残りの期間の間には第1PMOSTランジスタ(MP1)を經由して第1電圧ライン(FVL)上の低電位ゲート電圧(Vgl)を入力する。この結果、ゲートライン(GL)には図19に図示されたスキニング信号(SCS1乃至SCSn)のいずれか一つが供給される。スキニング信号(SCS)はゲートスキニングクロック(GSC)のハイ論理区間(即ち、水平同期信号の前半周期)では高電位電圧を維持して、ゲートスキニングクロック(GSC)のロー論理区間では(水平同期信号の後半周期)では高電位電圧から液晶パネル(30)上のTFT(CMN)の臨界電圧(Vth)に近接される電圧ま

で指数関数的に減少する。

【0033】また、スキニング信号(SCS)は次の水平同期周期の始点でTFT(CMN)の臨界電圧より低い電圧(即ち、低電位ゲート電圧(Vgl))に急激に下がる。このように、液晶パネル(30)のゲートライン(GL)に供給されるスキニング信号(SCS)の立下がり部が緩やかに変化することで、画素(31)に含まれたTFT(CMN)はゲートライン(GL)からのスキニング信号(SCS)の電圧が自分の臨界電圧以下で下がるまでに起動される。この時、液晶セル(Clc)に充電された電荷がゲートライン(GL)側に流れ信号ライン(SL)からTFT(CMN)を經由するデータ電圧信号(DVS)によって十分な電荷が液晶セル(Clc)に充電される。これによって、液晶セル(Clc)に充電された電圧は下がらない。ゲートライン(GL)上のスキニング信号(SCS)の電圧がTFT(CMN)の臨界電圧以下に下がる場合にゲートライン(GL)での電圧変動量が最大TFT(CMN)の臨界電圧であるので液晶セル(Clc)からゲートライン(GL)側に流れる電荷量は極めて少なくなる。この結果、フィードスルー電圧(ΔVp)が十分に抑圧される。

【0034】図21は本発明の第8実施例によるアクティブマトリックス液晶表示装置を概略的に図示する。図21のアクティブマトリックス液晶表示装置は、図18で第2電圧ライン(SVL)と高電位電圧発生器(44)の間に並列に接続されたn個のPMOSTランジスタ(MPn+1乃至MP2n)とそして第2電圧ライン(SVL)と接地ライン(GNDL)の間に接続された放電抵抗(Rd)の代わりに高電位電圧発生器(44)と第2電圧ライン(SVL)の間に接続された電圧調節器(64)を有することを除いては図18のアクティブマトリックス液晶表示装置と同一な回路構成を有する。電圧調節器(64)はゲートクロックライン(GCL)からのゲートスキニングクロック(GSC)に応答して高電位電圧発生器(44)を第2電圧ライン(SVL)に連結させ、第2電圧ライン(SVL)に放電通路を提供する。これを詳細に説明すると、電圧調節器(64)はゲートスキニングクロック(GSC)がハイ論理値を有する期間には高電位発生器(44)からの高電位電圧(VDD)が第2電圧ライン(SVL)とn個のNMOSTランジスタ(MN1乃至MNn)のいずれか一つを經由してゲートライン(GL)側に伝送される。一方、ゲートスキニングクロック(GSC)がロー論理値を有する時に電圧調節器(64)は第2電圧ライン(SVL)に放電通路を提供してゲートライン(GL1乃至GLn)上に充電された電圧が第2電圧ライン(SVL)及び放電通路を放電されるようにする。この時、ゲートライン(GL)上の電圧の放電速度(即ち、時定数)は放電通路の抵抗値、ゲートライン(GL)上

の寄生容量 (C_c) 及び寄生抵抗 (R_c) によって決定される。結果的に、電圧調節器 (64) は図19に図示されたところのようにゲートスキニングクロック (GSC) のハイ論理区間 (即ち、水平同期信号の前半周期) では高電位電圧レベル (VDD) を維持してゲートスキニングクロック (GSC) のロー論理区間では高電位電圧レベル (VDD) から指数関数的に徐々に減少する高電位ゲート電圧 (V_{gh}) が第2電圧ライン (SVL) 上に現れる。

【0035】また、第1乃至第nゲートライン (GL1 10 乃至GLn) それぞれは水平同期信号の周期つつ順次起動されるNMOSTランジスタ (MN1乃至MNn) をそれぞれ経由して第2電圧ライン (SVL) 上の高電位ゲート電圧 (V_{gh}) を水平同期信号の一周期の間に入力することと併せて残りの期間の間はPMOSTランジスタ (MP1乃至MPn) を経由して第1電圧ライン (FVL) 上の低電位ゲート電圧 (V_{gl}) を入力する。この結果、第1乃至第nゲートライン (GL1乃至GLn) は図18に図示されたスキニング信号 (SCS1乃至SCSn) の供給を受ける。スキニング信号 (SCS) はゲートスキニングクロック (GSC) のハイ論理区間 (即ち、水平同期信号の前半周期) では高電位電圧を維持して、ゲートスキニングクロック (GSC) のロー論理区間 (水平同期信号の後半周期) では高電位電圧から液晶パネル (30) 上のTFT (CMN) の臨界電圧 (V_{th}) に近接する電圧まで指数関数的に減少する。また、スキニング信号 (SCS) は次の水平同期周期の始点でTFT (CMN) の臨界電圧より低い電圧 (即ち、低電位ゲート電圧 (V_{gl})) に急激に下がる。

【0036】このように、液晶パネル (30) のゲートライン (GL) に供給されるスキニング信号 (SCS) の立下がり部が緩やかに変化することで、画素 (31) に含まれたTFT (CMN) はゲートライン (GL) からのスキニング信号 (SCS) の電圧が臨界電圧以下に下がるまでに起動される。この時、液晶セル (C1c) に充電された電荷がゲートライン (GL) 側に流れるが、信号ライン (SL) からTFT (CMN) を経由するデータ電圧信号 (DVS) によって充分な電荷が液晶セル (C1c) に充電される。これによって、液晶セル (C1c) に充電された電圧は下がらなくなる。ゲートライン (GL) 上のスキニング信号 (SCS) の電圧がTFT (CMN) の臨界電圧以下に下がる場合にゲートライン (GL) での電圧変動量が最大TFT (CMN) の臨界電圧であるので液晶セル (C1c) からゲートライン (GL) 側に流れる電荷量は極めて少なくなる。この結果、フィードスルー電圧 (ΔV_p) が充分に抑圧される。

【0037】図22aは本発明によるアクティブマトリックス液晶表示装置によって提供されたスキニング信

号の波形を現し、図22bは従来のアクティブマトリックス液晶表示装置で提供されるスキニング信号を現す。図22aのスキニング信号は図22bのスキニング信号とは異なり指数関数的に減少する下降エッジを有する。これによって、本発明によるアクティブマトリックス液晶表示装置はTFT (CMN) がターンオフされるときTFT (CMN) のゲート電極とソース電極間の電位差が小さくなる。従って、TFT (CMN) がターンオフされるときに液晶セルから放電される電荷が著しく減少する。この結果、フィードスルー電圧 (ΔV_p) が小さくなって、更にフリッカが著しく減少する。図23aは本発明によるアクティブマトリックス液晶表示装置はTFT (CMN) が起動されるとき電流変化を、そして図23bは従来のアクティブマトリックス液晶表示装置はTFT (CMN) が起動されるとき電流変化をそれぞれ現す。図23a及び図23bは本発明によるアクティブマトリックス液晶表示装置は従来の液晶表示装置に比べて過渡雑音成分を大きく抑制されることを示している。

【0038】図24は図20に図示された電圧調節器 (64) の実施例を詳細に図示するものである。図24において、電圧調節器 (64) は高電位電圧ライン (VDDL) と接地ライン (GNDL) の間に直列接続された第1及び第2抵抗 (R_1 , R_2) と、第1ノード (N1) と第2電圧ライン (SVL) の間に接続された第3抵抗 (R_3) とを具備する。第1及び第2抵抗 (R_1 , R_2) は高電位電圧ライン (VDDL) 上の高電位電圧 (VDD) を分圧してその分圧された電圧が第1ノード (N1) 上に現れるようにする。第3抵抗 (R_3) は第1ノード (N1) と第2電圧ライン (SVL) の間に電流量を制限する。電圧調節器 (64) は高電位電圧ライン (VDDL)、第1及び第2ノード (N1, N2) の間に接続された第1トランジスタ (TR1) と、第2抵抗 (R_2) と接地ライン (GNDL) の間に接続された第2トランジスタ (TR2) とをさらに具備する。第1トランジスタ (TR1) は第2ノード (N1) 上の電圧に応答して高電位電圧ライン (VDDL) 上の高電位電圧 (VDD) を第1ノード (N1) 側に選択的に伝送する。

【0039】これを詳細に説明すると、第1トランジスタ (TR1) は第2ノード (N2) 上の電圧が臨界電圧 (即ち、0.7V) 以下の時に起動されて第1ノード (N1) 上の電圧が高電位電圧レベルを維持する。第2ノード (N2) 上の電圧が臨界電圧以上である場合、第1トランジスタ (TR1) はターンオフされて高電位電圧ライン (VDDL) と第1ノード (N1) を開放させる。このために、第1トランジスタ (TR1) としてはP形ジョイントランジスタが使用される。第2ノード (N2) 上の電圧は第4ノード (N4) に接続されたベースを有する第3トランジスタ (TR3) によって変

化する。第3トランジスタ(TR3)は第4ノード(N4)からのゲートスキニングクロック(GSC)がハイ論理値を有する時に起動されて高電位電圧ライン(VDDL)から第4抵抗(R4)、第2ノード(N2)、第5抵抗(R5)、自分のコレクター及びエミッタを経由して接地ライン(GNDL)に至る電流通路を形成する。この場合、第2ノード(N2)にはトランジスタ(TR)の臨界電圧より低い電圧が現れる。これとは異なって、第4ノード(N4)上のゲートスキニングクロック(GSC)がロー論理値を有する場合に第3トランジスタ(TR3)はターンオフされて第2ノード(N2)の電圧が高電位電圧レベルを維持する。一方、第2トランジスタ(TR2)は第3ノード(N3)上の電圧にตอบสนองして第2抵抗(R2)を接地ラインに選択的に接続させる。この時、第2電圧ライン(SVL)上の高電位ゲート電圧(Vgh)は第3抵抗(R3)、第1ノード(N1)第2抵抗(R2)予備トランジスタ(TR2)のコレクター及びエミッタを経由して接地ライン(GNDL)側に放電される。

【0040】一方、第3ノード(N3)上の電圧が臨界電圧より低い場合に、第2トランジスタ(TR2)はターンオフされて第2抵抗(R2)と接地ライン(GNDL)が開放される。このために、N形ジョイントトランジスタ(TR)が第2トランジスタ(TR)で利用される。第3ノード(N3)上の電圧は第4ノード(N4)に接続されたベースを有する第4トランジスタ(TR4)の動作状態によって変化する。第4トランジスタ(TR4)は第4ノード(N4)からのゲートスキニングクロック(GSC)がハイ論理値を有する時に起動されて第3ノード(N3)を接地ライン(GNDL)に接続させる。これによって、第3ノード(N3)では接地電圧(GND)が現れる。これとは異なって、第4ノード(N4)上のゲートスキニングクロック(GSC)がハイ論理値を有する場合に第4トランジスタ(TR4)はターンオフされて第3ノード(N3)と接地ライン(GNDL)が開放される。

【0041】この時、高電位電圧ライン(VDDL)上の高電位電圧(VDD)が第6抵抗(R6)を経由して第3ノード(N3)に充電される。従って、第3ノード(N3)では高電位電圧(VDD)が現れる。結果的に、第2ノード(N2)上の電圧と第3ノード(N3)上の電圧が同一な形態で変化する。これら第2及び第3ノード(N2、N3)上の電圧が同一な形態で変化的ことで第1及び第2トランジスタ(TR1、TR2)が相互補完的に駆動される。換言すれば、第1トランジスタ(TR1)はゲートスキニングクロック(GSC)のハイの論理区間に、第2トランジスタ(TR2)はゲートスキニングクロック(GSC)のロー論理区間にそれぞれ起動される。これによって、第1ノード(N2)及び第2電圧ライン(SVL)上の電圧はゲートス

キニングクロック(GSC)のハイ論理区間では高電位電圧(VDD)を、ゲートスキニングクロック(GSC)のロー論理区間では高電位電圧レベル(VDD)から分圧された電圧レベルまで指数関数的に減少させる。この結果、第2電圧ライン(SVL)には図18に示した波形を有する高電位ゲート電圧(Vgh)が現れる。ゲートスキニングクロック(GSC)はゲートクロックライン(GCL)から第7抵抗(R7)を経由して第4ノード(N4)に供給される。第7抵抗(R7)はゲートクロックライン(GCL)から第4ノード(N4)側に流れる電流を制限する。第2及び第3抵抗(R2、R3)は第2トランジスタ(TR2)が起動された時に図20に図示されたゲートライン(GL)上の寄生容量(Cp)及び寄生抵抗(Rp)と共にゲートライン(GL)上の電圧の放電速度を決定する。

【0042】図25は本発明によるTAB形液晶表示装置を概略的に図示する。図25のTAB形液晶表示装置で、液晶パネル(30)は上部ガラス基板(30A)と下部ガラス基板(30B)の間に密封された液晶層(30C)で構成される。この液晶パネル(30)はFPC(Flexible Printed Circuit)フィルム(66)によってPCB(Printed Circuit Board)モジュール(68)に接続される。PCBモジュール(68)はPCB(70)の上面に搭載された制御回路部(72)、低電位及び高電位ゲート電圧発生器(40、42)を有する。FPCフィルム(66)は下部ガラス基板(30B)のベッド領域に接続された一段部とPCB(70)の底面の縁に接続された他段部を有する。また、FPCフィルム(66)の間にはデータドライバ(32)及び/またはゲートドライバ(34)が接地される。データドライバ(32)及び/ゲートドライバ(34)はFPCフィルム(66)によって液晶パネル(30)及びPCBモジュール(68)に接続される。このようなFPCフィルム(66)は液晶パネル(30)をデータドライバ(32)及び/またはゲートドライバ(34)に電気的に連結する第1導電層パターン(67A)と、データドライバ(32)及び/またはゲートドライバ(34)をPCBモジュール(68)に電気的に連結する第2導電層パターン(67B)を有する。これら第1及び第2導電層パターン(67A、67B)は両端部が露出されるように第1及び第2保護フィルム(69A、69B)によって包まれる。

【0043】図26は本発明によるCOG(Chips On Glass)形液晶表示装置を概略的に図示する。図26のCOG形液晶表示装置は、上部ガラス基板(30A)と下部ガラス基板(30B)の間に密封された液晶層(30C)とを具備する。この液晶パネル(30)はFPC(Flexible Printed Circuit)フィルム(66)によってPCB(Printed Circuit Board)モジュール(68)に接続される。PCBモジュール(68)は

PCB(70)の上面に搭載された制御回路部(72)、低電位及び高電位ゲート電圧発生器(40、42)を有する。また、下部ガラス基板(30B)のベッド領域にはデータドライバ(32)及び/またはゲートドライバ(34)が載せられている。これらデータドライバ(32)及び/ゲートドライバ(34)はFPCフィルム(66)によって液晶パネル(30)及びPCBモジュール(68)に接続される。FPCフィルム(66)はデータドライバ(32)及びゲートドライバ(34)が載せられたPCBモジュール(68)に接続させる。このために、FPCフィルム(66)は下部ガラス基板(30B)のベッド領域に接続された一段部とPCB(70)の底面の縁に接続された他段部を有する。このようなFPCフィルム(66)はデータドライバ(32)及び/またはゲートドライバ(34)が搭載された液晶パネル(30)とPCBモジュール(68)を電気的に接続する導電層パターン(67)を有する。導電層パターン(67)は端部が露出するように保護フィルム(69)によって包まれる。

【0044】本発明に開示された低電位ゲート電圧発生器と高電位ゲート電圧発生器はPCBモジュールに位置し、電圧制御器はLCDモジュール上に多様な形態で配置させることができる。まず、電圧制御器がPCBモジュールに配置されることができる。換言すれば、電圧制御器、高電位ゲート電圧発生器及び低電位ゲート電圧発生器すべてがPCBモジュール上に形成される。このような回路構造は図1に図示された通常のゲートドライバICにしてゲートパルスの立下がり部をスムーズ(Smooth)にすることができる。従って、本発明の目的はゲートドライバICを変形せずに達成される。次に、電圧制御器はゲートドライバIC内に載せられている。ゲートドライバIC内に載せられた電圧制御器は図18のように高電位ゲート電圧発生器とババーの間に接続してもよい。異なる方法で、ゲートドライバIC内に含まれた電圧制御器は図5及び図21のように一つの高電位電圧発生器と多数のババーの間に接続してもよい。電圧制御器を含むゲートドライバICはPCBは電圧制御器がPCBモジュール上に配置された場合に比べてLCDモジュールの部品数を減少させることができ、更に部品のコストを低減することができる。

【0045】

【発明の効果】上述したように、本発明によるアクティブマトリックス液晶表示装置は、ゲートドライバのレベルシフトに高電位ゲート電圧を交流形態で供給することでスキニング信号の立下がり部が線形、指数または階段関数の中のいずれか一つの形態で変化する。これによって、本発明によるアクティブマトリックス液晶表示装置ではフィードスルー電圧(ΔV_p)を充分に抑圧し、さらにフリッカ及び残像の発生を抑制する。さらに、本発明によるアクティブマトリックス液晶表示装置では回

路構成が極めて簡素化される。

【0046】また、本発明によるアクティブマトリックス液晶表示装置は、高電位ゲート電圧の立下がり部が立上がり部より緩やかに変化することでゲートラインに供給されるスキニング信号の立下がり部が立上がり部より緩やかに変化する。これによって、本発明によるアクティブマトリックス液晶表示装置では、フリッカ及び残像が発生しなくなることは勿論であり、さらに応答速度が早くなる。

10 【0047】以上説明した内容を通して当業者であれば本発明の技術思想を一脱しない範囲で多様な変更及び修正が可能であることが分かる。従って、本発明の技術的な範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。

【図面の簡単な説明】

【図1】 図1は通常の液晶表示装置を概略的に図示する図面である。

【図2】 図2は立下がり部が緩やかに変化するスキニング信号の波形を図示する図面である。

20 【図3】 図3は図2bに図示されたスキニング信号を利用する従来の液晶表示装置を図示する図面である。

【図4】 図4は通常の液晶表示装置の構造を図示する図面である。

【図5】 図5は本発明による第1実施例によるアクティブマトリックス液晶表示装置を概略的に図示する図面である。

【図6】 図6は本発明による第2実施例によるアクティブマトリックス液晶表示装置を概略的に図示する図面である。

30 【図7】 図7は図6に図示された重要部分に対する出力波形図である。

【図8】 図8は本発明による第3実施例によるアクティブマトリックス液晶表示装置を概略的に図示する図面である。

【図9】 図9は図8に図示された重要部分に対する出力波形図である。

【図10】 図10は本発明による第4実施例によるアクティブマトリックス液晶表示装置を概略的に図示する図面である。

40 【図11】 図11は本発明による第5実施例によるアクティブマトリックス液晶表示装置を概略的に図示する図面である。

【図12】 図12は本発明の第1乃至第5実施例による液晶表示装置のゲートライン及び信号ライン上でそれぞれ現スキニング信号及びデータ電圧信号の波形図である。

【図13】 図13は本発明による第6実施例によるアクティブマトリックス液晶表示装置を概略的に図示する図面である。

50 【図14】 図14は図13に図示された重要部分に対

する出力波形図である。

【図15】 図15は図13に図示された液晶パネルのゲートライン及び信号ライン上で現すスキャン信号及びデータ電圧信号の波形図である。

【図16】 図16は図13に図示された電圧調節器の異なる実施例を図示する図面である。

【図17】 図17は図16に図示された電圧調節器の入力及び出力波形図である。

【図18】 図18は本発明による第7実施例によるアクティブマトリックス液晶表示装置を概略的に図示する図面である。

【図19】 図19は図18に図示された重要部分に対する出力波形図である。

【図20】 図20は図18に図示された液晶表示装置の中一つのゲートラインを駆動するためのラインスキャン回路を図示する図面である。

【図21】 図21は本発明による第8実施例によるアクティブマトリックス液晶表示装置を概略的に図示する図面である。

【図22】 図22は本発明aおよび従来bのアクティブマトリックス液晶表示装置によるスキャン信号の波形図である。

【図23】 図23は本発明aおよび従来bのアクティブマトリックス液晶表示装置によってTFT(CMN)が起動される時の電流変化を図示する図面である。

【図24】 図24は図21に図示された電圧調節器を詳細に図示する図面である。

【図25】 図25は本発明によるタップ形液晶表示装置を図示する図面である。

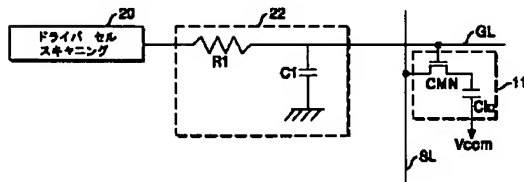
【図26】 図26は本発明によるCOG形液晶表示装置を図示する図面である。

【符号の説明】

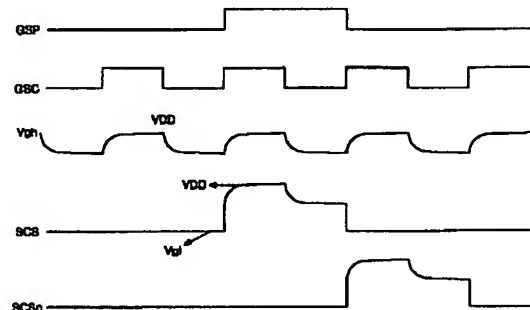
10：液晶パネル
11、31：画素
12、32：データドライバ
14、34：ゲートドライバ
3、16、36：シフトレジスタ
11 8、38、62：レベルシフト

* 5、6、9、19：インバータ
20：スキャンドライバセル
22：積分器
30A：上部ガラス基板
30B：下部ガラス基板
30C：液晶層
36A：シフトレジスタセル
39、58：制御用スイッチ
40：低電位ゲート電圧発生器
42：高電位ゲート電圧発生器
44、54：高電位電圧発生器
46、56、64：電圧調節器
48：タイミング制御器
50：2接点制御用スイッチ
52：1接点制御用スイッチ
60：比較器
62A：レベルシフトセル
66：FPCフィルム
67、67A、67B：導電層パターン
68：PCBモジュール
69、69A、69B：保護フィルム
70：PCB
72：制御回路部
SL、SL1乃至SLm：信号ライン
GL、GL1乃至GLm：ゲートライン
C1c：液晶セル
CMN：薄膜トランジスタ(TFT)
CL：制御ライン
GCL：ゲートクロックライン
FVL：第1電圧ライン
SVL：第2電圧ライン
Cst：補助容量
MP1乃至MPn、MPn+1乃至MP2n：PMOSトランジスタ
MN1乃至MNn：NMOSトランジスタ
Rp、Rc：寄生抵抗
Cp、Cc：寄生容量
SCL：同期制御ライン
DCL：データクロックライン
GVL：基底電圧ライン
Q1、Q2：トランジスタ
VR：可変抵抗
GNDL：接地ライン

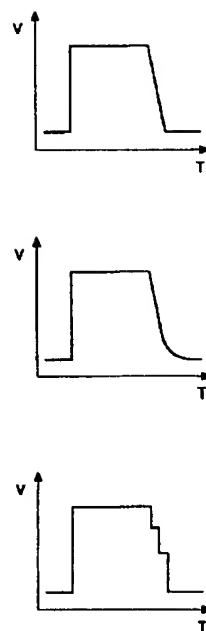
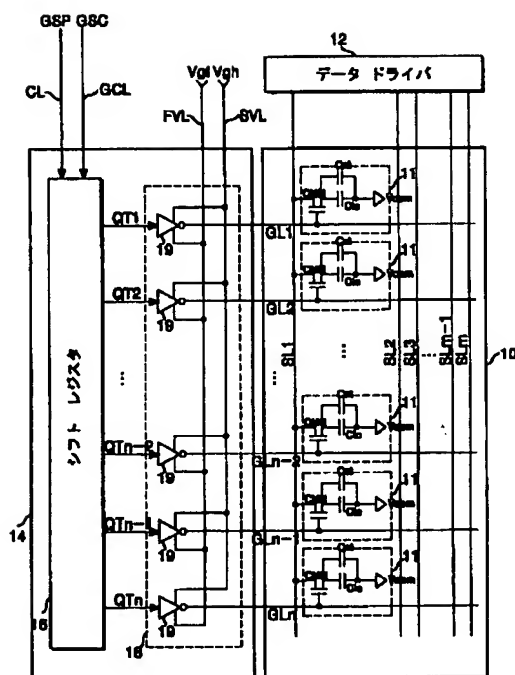
【図3】



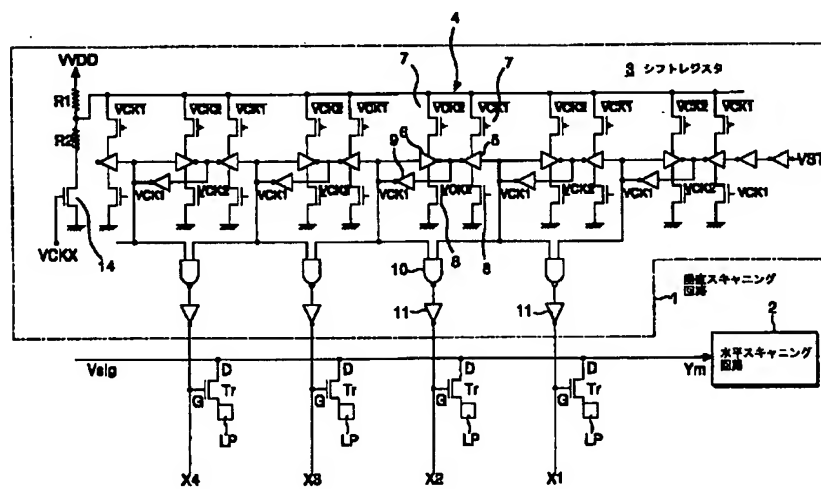
【図7】



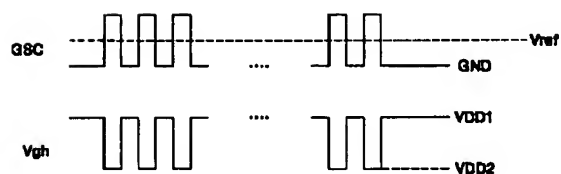
【図2】



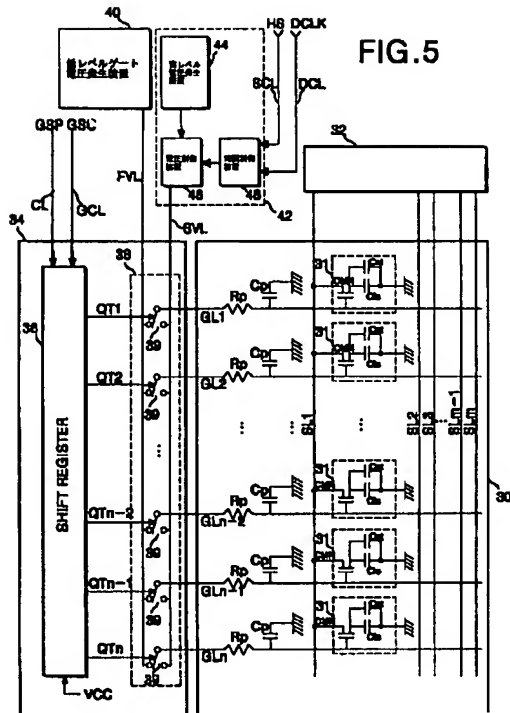
【圖4】



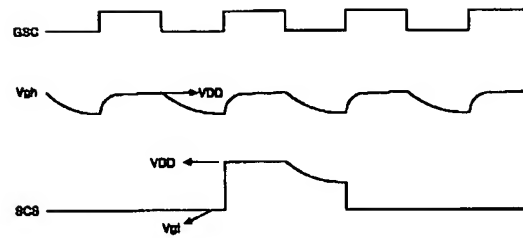
【圖 17】



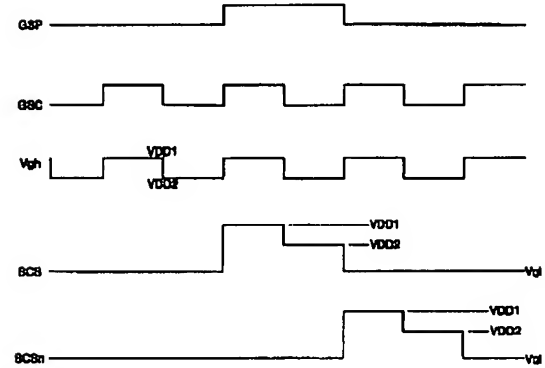
【図5】



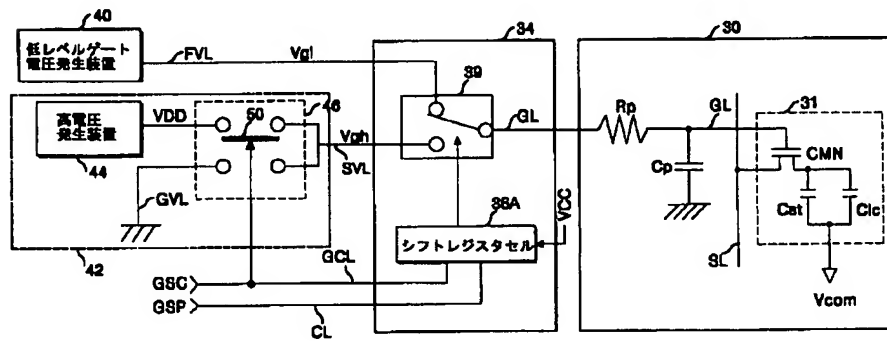
【図9】



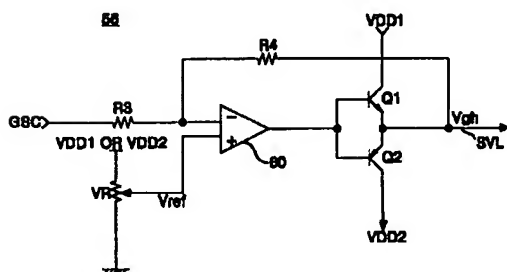
【図14】



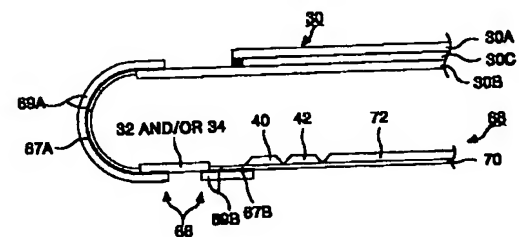
【図6】



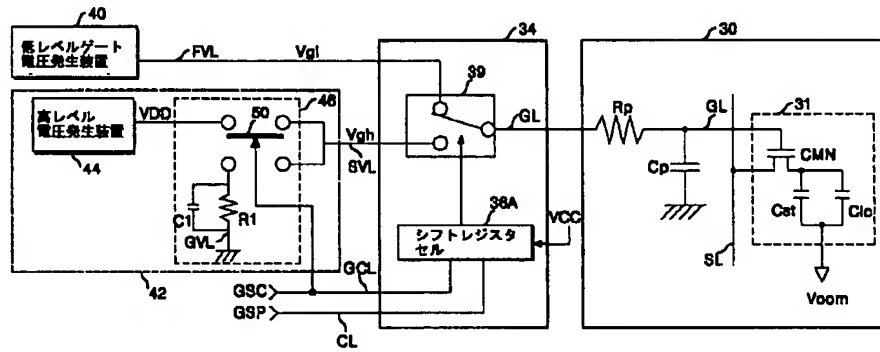
【図16】



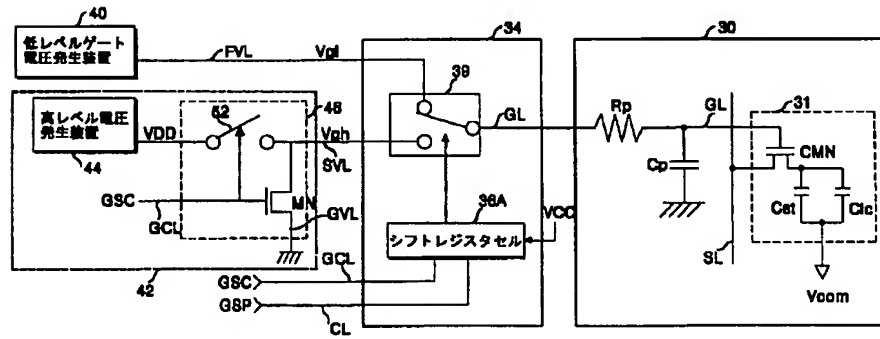
【図25】



【図8】



【図10】



【図11】

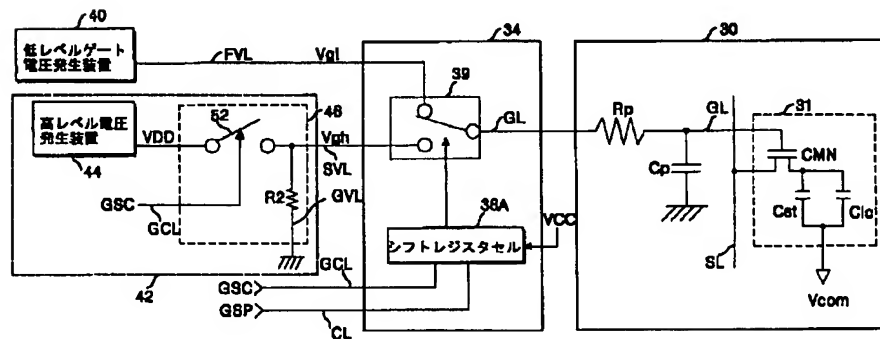
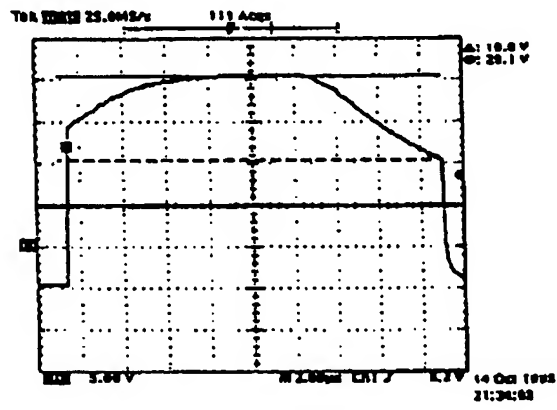


Figure 1 is a graph showing the SCS and DVS signals. The SCS signal is a square wave with a period of 10.0MS/s. The DVS signal is a square wave with a period of 10.0MS/s. The graph is labeled with 'SCS' and 'DVS' and includes a scale bar for 10.0MS/s.

The schematic diagram illustrates the internal components and connections of the semiconductor device. It includes two voltage generators: a low-level gate voltage generator (40) and a high-level gate voltage generator (44). The low-level generator (40) provides a signal labeled GNDL to a network of resistors (Rd) connected to ground (GND). The high-level generator (44) provides a signal labeled VDD to a network of resistors (Rp) connected to ground (GND). A central circuit block (34) contains several transistors: MP1, MP2, MN1, and Q1. MP1 and MP2 are p-channel MOSFETs, while MN1 and Q1 are n-channel MOSFETs. The gates of MP1 and MP2 are connected to the output of the low-level generator (40). The gates of MN1 and Q1 are connected to the output of the high-level generator (44). The drains of MP1 and MP2 are connected to the output node (GL), which is also connected to the source of MN1 and Q1. The sources of MP1 and MP2 are connected to VDD. The sources of MN1 and Q1 are connected to ground (GND). A shift register cell (38A) is connected to the output node (GL) and provides a feedback signal to the input of the shift register cell. The shift register cell (38A) is also connected to a clock signal (CL) and a control signal (GC1). The output node (GL) is connected to a load resistor (Rp) and a capacitor (Cp). The output node (GL) is also connected to a network of capacitors (Cst, Cio) and a variable capacitor (CMN) controlled by a signal (Voom).

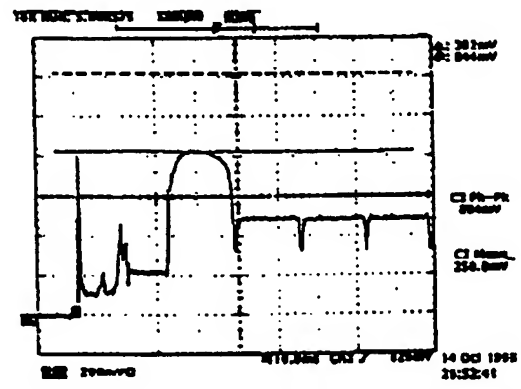
[illegible]

【図22】

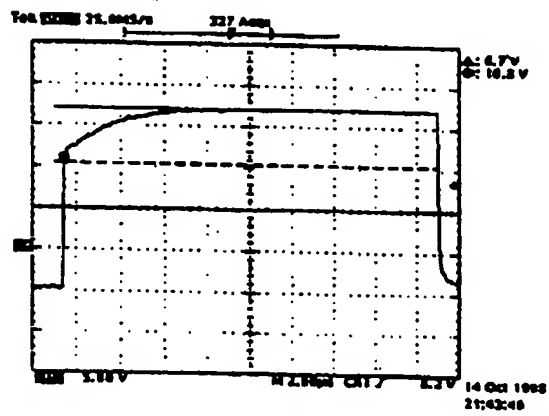


A

【図23】



B



B

